

0418103-SNY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-166595

(43)Date of publication of application : 25.06.1996

(51)Int.Cl.

G02F 1/1345

G02F 1/136

H01L 29/786

(21)Application number : 06-309286

(71)Applicant : SONY CORP

(22)Date of filing : 13.12.1994

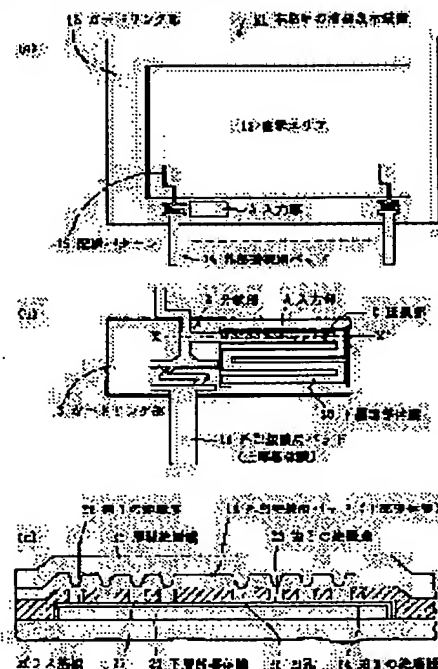
(72)Inventor : FUTAWATARI TOMOO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device with which the destruction of circuit elements by advance of the static electricity entering from pads for external connection into the semiconductor integrated circuit device and the damage by the static electricity on the liquid crystal display device are averted and a process for producing such circuit device.

CONSTITUTION: A lower layer part conductor film 20 is formed to a zigzag shape in an input section A. Extension parts C extended from the branch parts B of the pads 14 for external connection are so formed on the upper part thereof as to be superposed on a part of the lower layer part conductor film 20. Charges are thus instantaneously moved to the lower layer part conductor film 20 in case the static electricity is generated in the pads 14 for external connection. The circuit elements within the semiconductor integrated circuit device are not affected by the static electricity and the dielectric breakdown and characteristic deterioration of the semiconductor integrated circuit device and liquid crystal display device are prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-166595

(43)公開日 平成8年(1996)6月25日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1345				
1/136	5 0 0			
H 0 1 L 29/786				
		9056-4M	H 0 1 L 29/ 78	6 2 3 A

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21)出願番号 特願平6-309286

(22)出願日 平成6年(1994)12月13日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 二 渡 智 雄

鹿児島県国分市野口北5番1号 ソニー国分株式会社内

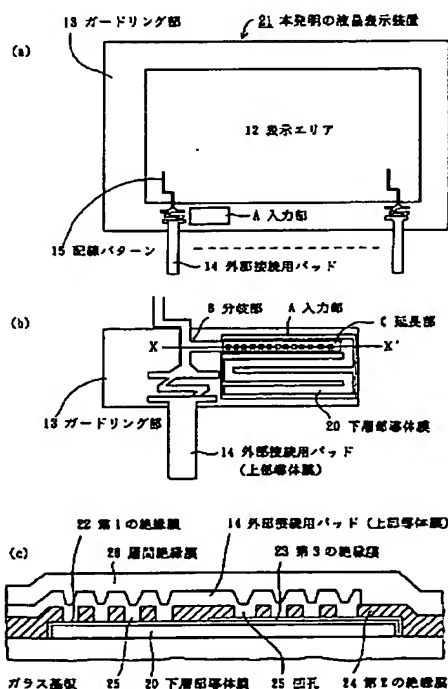
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【目的】 外部接続用パッドより進入した静電気が半導体集積回路装置内部に進入して回路素子を破壊したり、液晶表示装置への静電気によるダメージを回避した半導体集積回路装置およびその製造方法を提供する。

【構成】 入力部Aに葛折り形状に下層部導体膜20を形成する。その上部に外部接続用パッド14の分岐部Bから延長された延長部Cが前記下層部導体膜20の一部に重畳するように形成される。こうして外部接続用パッド14に静電気が発生した場合、瞬時に下層部導体膜20に電荷を移動させる。

【効果】 このため半導体集積回路装置内部の回路素子に静電気の影響が及ぶことがなく、半導体集積回路装置や液晶表示装置の静電破壊や特性劣化を防止することができる。



【特許請求の範囲】

【請求項 1】 外部接続用パッドに接続して形成された静電破壊防止パターンであって、

該静電破壊防止パターンは、

前記外部接続用パッドから分岐して延在する上層部導体膜と、

前記上層部導体膜の下部に複数の凹孔を含んで配設した第 2 の絶縁膜と、

前記第 2 の絶縁膜の下部に配設した第 1 の絶縁膜と、

更に前記第 1 の絶縁膜の下部に延在する下層部導体膜とを含んで成ることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 に記載の凹孔は開口径が異なることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 に記載の第 1 の絶縁膜上の一部には窒化膜から成る第 3 の絶縁膜を配設したことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 に記載の下層部導体膜の平面形状は葛折り形状、螺旋形状、長方形、コの字形状、串型形状の内の何れかであることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 に記載の静電破壊防止パターンを備えたことを特徴とする液晶表示装置。

【請求項 6】 外部接続用パッドに接続して形成された静電破壊防止パターンを備えた半導体集積回路装置の製造方法であって、

前記外部接続用パッドから分岐して延在する上層部導体膜の形成工程と、

前記上層部導体膜の下部に複数の凹孔を含んで配設した第 2 の絶縁膜の形成工程と、

前記第 2 の絶縁膜の下部に配設した第 1 の絶縁膜の形成工程と、

更に前記第 1 の絶縁膜の下部に延在する下層部導体膜の形成工程とを含んで成ることを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 6 に記載の凹孔の開口径を異なるように形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 6 に記載の第 1 の絶縁膜上の一部に窒化膜から成る第 3 の絶縁膜を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 6 に記載の下層部導体膜の平面形状を葛折り形状、螺旋形状、長方形、コの字形状、串型形状の内の何れかの形状に形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 請求項 6 に記載の半導体集積回路装置の製造方法は、ガラス基板上の薄膜トランジスタ形成工程に適用されることを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 請求項 6 に記載の半導体集積回路装置の製造方法によって製造されたことを特徴とする液晶表

示装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体集積回路装置の例えばガラス基板上に薄膜トランジスタが形成された液晶表示装置等に適用して有効な半導体集積回路装置およびその製造方法に関し、更に詳しくは、静電気破壊（静電気や過電圧入力による素子破壊、以下単に「静電破壊」と略記する）特性を改善した半導体集積回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、電子技術の発達やユーザニーズの高まりにより各種電子機器の小型化が進行している。それに伴いこれら電子機器の主要デバイスである半導体集積回路装置の小型化や高集積化も進行している。一方、静電気や過電圧入力による影響は、半導体集積回路装置の特性劣化、接合破壊、酸化膜破壊等を引き起こす要因となる。また、静電気や過電圧入力に対する静電破壊耐量は半導体集積回路の高集積化（微細化）とともに減少する傾向にあるため、静電破壊対策は半導体集積回路装置の開発、設計、製造全般にわたる重要技術の一つである。

【0003】 特に、MOS (Metal Oxide Semiconductor) 半導体集積回路装置や、ガラス基板上に薄膜トランジスタ (TFT: Thin Film Transistor 以下、単に「TFT」と略記する) が形成された液晶表示装置は、この静電気や過電圧入力による影響を受け易い。つまり、MOS 半導体集積回路装置はゲート酸化膜により絶縁されたゲート電極をもつ MOS-FET を集積したもので静電破壊には弱く、耐圧は数十 V 程度である。また、液晶表示装置は基板材料にガラス等の絶縁体を用いているために電荷が蓄積し易く、そのため不所望の電位差が発生して TFT の特性劣化や静電破壊が発生し易い。また、CMOS のように寄生接合を有する半導体集積回路装置では、入力端子に電源雑音等の過電圧が印加されると、その過電圧が流入し続け素子破壊に至るラッチアップ現象も起こり得る。半導体集積回路装置におけるこれらの静電破壊対策としては、入力端子と入力回路間に保護回路を挿入して過電圧を吸収するのが一般的である。

【0004】 先ず、従来技術の半導体集積回路装置を図 4 ないし図 6 を参照して説明する。

【0005】 初めに、図 4 を参照して従来技術の半導体集積回路装置の静電破壊対策方法の一例を説明する。図 4 において、符号 1 は従来技術の半導体集積回路装置を指す。従来技術の半導体集積回路装置 1 は外部接続用の電極パッド 2、アース端子 3、電源 4、前記電極パッド 2 とアース端子 3 の間には高抵抗値の保護抵抗 5 を備えている。そして、電極パッド 2 と電源 4 の間に接続された P チャネル MOS トランジスタ 6 と電極パッド 2 とアース端子 3 の間に接続された N チャネル MOS トランジ

スタ 7 とから成る保護トランジスタ等を備えて構成される。そして、電極パッド 2 に入力された静電気や短時間入力の過大な電圧は、前記保護抵抗 5 を介して序々にアース端子 3 に退避されるか、或いは前記 P チャンネル MOS トランジスタ 6 及び N チャンネル MOS トランジスタ 7 から成る保護トランジスタの動作によりアース端子 3 及び電源 4 に退避、拡散させられる。このようにして半導体集積回路装置の静電破壊対策がなされている。

【0006】ここで、図 5 は後述する従来技術の半導体集積回路装置における下層部導体 8 や、例えば A 1 等の上層部導体 9 の交差部分の拡大図であり、その交差部分に発生した静電気痕 10 の説明に供する図である。

【0007】次に、図 6 を参照して従来技術の半導体集積回路装置の一例として液晶表示装置を説明する。なお、本発明の静電破壊特性を改善した半導体集積回路装置およびその製造方法は半導体集積回路装置全般に適用して好適なものであるが、ここでは特に、液晶表示装置を探り上げて説明を行う。図 6 において、符号 11 は従来技術の液晶表示装置を指す。従来技術の液晶表示装置 11 は映像を映出する表示エリア 12、周辺部であり例えば A 1 金属膜が形成されたガードリング部 13、外部 IC (図示省略) から映像情報等の必要情報を受取る外部接続用パッド 14、前記外部接続用パッド 14 から表示エリア 12 への信号の伝達の用途に供する配線パターン 15 等で大略構成される。

【0008】更に、従来技術の液晶表示装置 11 は、図示を省略したが一枚のガラス基板上にフォトリソグラフィ技術により各画素制御用の TFT がマトリクス状に配設された TFT 基板と、前記 TFT 基板に対向して R、G、B のカラーフィルタ (カラー液晶表示装置の場合) や対向電極が形成されたカラーフィルタ基板から構成されている。前記 TFT 基板とカラーフィルタ基板は所定の間隔 (数 μm) を保持して対向配置され、これらの間隙に液晶組成物を挟持させるとともにこれら基板の両面に偏光板を一体に積層することにより、従来技術の液晶表示装置 11 が完成される。

【0009】

【発明が解決しようとする課題】しかし、上述のような従来技術の半導体集積回路装置の静電破壊対策では、保護トランジスタや保護抵抗を入力部に挿入して用いるのが一般的であるが、実際に静電気によるダメージが発生した場合には保護トランジスタは破壊され、半導体集積回路装置としては不良となる。そこで、静電破壊対策用の保護トランジスタは必然的にチップサイズも大きく、耐圧も通常の回路素子に比して高耐圧となり、静電気が発生しても破壊しにくい構成となっている。そのため、発生した静電気は保護トランジスタでアース端子等に退避する以前に内部に進入してしまい半導体集積回路装置の回路素子を破壊してしまうという問題点があった。また、保護抵抗を用いた場合には素子の破壊はないが前述

と同様に静電気が発生したとき、保護抵抗の抵抗値が大きいために静電気を瞬時にアース端子等に退避させることができない。そのため、静電気によるダメージが半導体集積回路装置内部に進入し、配線間ショートや素子破壊が起こる問題点があった。このように半導体集積回路装置に及ぼす静電気の影響は大きく、半導体集積回路装置の生産性の低下や信頼性の低下を引き起こす原因ともなっていた。

【0010】一方、液晶表示装置はその構成上或いは製造工程上静電気によるダメージを受けやすい。つまり、液晶表示装置は基板材料にガラス基板等の絶縁体を用いているため電荷が蓄積し易い。また特に、走査回路を内蔵した液晶表示装置では走査回路が画素 TFT 工程以降も静電気に曝される機会が多く、静電気によるダメージを受ける可能性が高い。このような不要な電荷の蓄積は不所望の静電気の発生の原因となり、この静電気によって液晶表示装置を構成する TFT の特性劣化や静電破壊を誘発するという問題点があった。

【0011】本発明は以上の点を考慮してなされたもので、半導体集積回路装置の保護トランジスタや保護抵抗が大きく高耐圧であるために、アース端子等に静電気を逃がす前に内部に進入してしまい半導体集積回路装置の回路素子を破壊してしまう問題や、液晶表示装置への静電気によるダメージを回避した半導体集積回路装置およびその製造方法を提供しようとするものである。

【0012】

【課題を解決するための手段】かかる課題を解決するために本発明の半導体集積回路装置では、外部接続用パッドから分岐して延在する上層部導体膜と、その下部に複数の開口径が異なる凹孔を含んで配設された第 2 の絶縁膜と、その下部に配設した第 1 の絶縁膜を形成した。更に、その下部には平面形状が葛折り形状、螺旋形状、長方形、コの字形、串型形状等の下層部導体膜が形成され、これらから構成された静電破壊防止パターンを形成することにした。

【0013】また、本発明の外部接続用パッドに接続して形成された静電破壊防止パターンを備えた半導体集積回路装置の製造方法では、外部接続用パッドから分岐して延在する上層部導体膜の形成工程と、その下部に複数の開口径の異なる凹孔を含んで配設した第 2 の絶縁膜の形成工程と、その下部に配設した第 1 の絶縁膜の形成工程とを備えた。更に、その下部には下層部導体膜の形成工程とを備えることで前記課題を解決した。

【0014】更に、ガラス基板上の薄膜トランジスタ形成や液晶表示装置を前述のような半導体集積回路装置の製造方法において製造することとした。

【0015】

【作用】本発明の半導体集積回路装置では、上層部導体膜、第 2 の絶縁膜、第 1 の絶縁膜、そして下層部導体膜から構成される静電破壊防止パターンを外接続用パッ

ドに接続して形成し、例えば外部接続用パッドに発生した静電気を静電破壊防止パターンに逃がすようにした。このため、半導体集積回路装置内部の回路素子に静電気の影響が及ぶことがなく、半導体集積回路装置の静電破壊や特性劣化を防止することができる。

【0016】また、本発明の半導体集積回路装置の製造方法では、外部接続用パッドと接続した上層部導体膜の形成工程と、第2の絶縁膜の形成工程と、第1の絶縁膜の形成工程と、下層部導体膜の形成工程とを備え、このような工程で静電破壊防止パターンを形成した。そのため、例えば外部接続用パッドに発生した静電気は、静電破壊防止パターンに退避して半導体集積回路装置を静電破壊や特性劣化の影響から防ぐことができる。

【0017】従って、このような半導体集積回路装置の製造方法によりガラス基板上の薄膜トランジスタや同様の構成の液晶表示装置を製造することにより、ガラス基板上の薄膜トランジスタや液晶表示装置を静電破壊等の影響から守ることができる。

【0018】

【実施例】以下、図1ないし図3を参照して本発明の液晶表示装置の実施例を説明する。なお、従来技術の液晶表示装置と同一の部分には同一の参照符号を付し、それらの構成や動作の説明を省略する。

【0019】実施例1

初めに、図1及び図2を参照して本発明の液晶表示装置における静電破壊対策の第1の実施例を説明する。図1(a)において、本発明の液晶表示装置21は従来技術の液晶表示装置と同様に映像を映出する表示エリア12、ガードリング部13、外部接続用パッド14、そして前記外部接続用パッド14から表示エリア12への情報の伝達を行う配線パターン15等で構成される。本発明の特徴部分は静電破壊防止パターンを外部接続用パッド14近傍の入力部Aに形成した点であり、その拡大図を同図(b)に示し、同図(b)に示したX-X'部の断面図を同図(c)に示してその説明を行う。

【0020】同図(b)において、外部接続用パッド14近傍の入力部A上に詳細は後述するが、フォトリソグラフィ技術により図のような葛折り形状に下層部導体膜20が形成されている。その上部に外部接続用パッド14の分岐部Bから延長された延長部Cが前記下部導体膜20の一部に重畳するように形成されている。

【0021】同図(c)において、下層部導体膜20に酸化膜等の第1の絶縁膜22や、第3の絶縁膜23を成膜した後、第2の絶縁膜24が形成される。前記第2の絶縁膜24をフォトリソグラフィ技術でパターニングして複数の凹孔25を形成する。更に、その上部には層間絶縁膜26が形成されている。静電破壊防止パターンをこのように構成することにより、例えば外部接続用パッド(上層部導体膜)14に静電気が発生した場合、瞬時に下層部導体膜20に電荷を移動させて半導体集積回路

装置内部の回路素子へのダメージを低減する。

【0022】更に、本発明の特徴の一つである絶縁耐圧調整機能について説明する。つまり上層部導体膜と下層部導体膜間の絶縁膜はその種類や膜厚により、絶縁耐圧を制御することができる。図1(c)における第1の絶縁膜22を例えば膜厚50nmの酸化膜で形成すれば約20V程度の絶縁耐圧となる。また、第1の絶縁膜22に加えて第3の絶縁膜23を窒化膜30nmで形成すれば50~55V程度の絶縁耐圧を得ることができる。そして、静電気がこの絶縁耐圧を超過した瞬間に前述のような静電破壊が発生する。本発明の静電破壊対策では、たとえ静電気が生じて上層部導体膜と下層部導体膜が導通状態となされたとしても、下層部導体膜はフローティング状態のため回路素子に影響が及ぶことはない。

【0023】本実施例の液晶表示装置の具体的な製造プロセスを図2を参照して説明する。

【0024】先ず、例えば洗浄したガラス基板上にLP-CVD(減圧化学的気相成長法)等により、半導体層や本発明における下層部導体膜となる第1の多結晶SiであるPoli-Si30を成膜する。その後、フォトリソグラフィ技術によりパターニングを行い所望のパターンになるようにエッチング処理する。更に、Poli-Si30の表面の絶縁膜となるゲート酸化膜31を例えば熱酸化により成膜或いは堆積して形成する(図2(a))。

【0025】次に、ゲート窒化膜32を前記ゲート酸化膜31上に成膜する。この絶縁膜はゲート酸化膜31のみでも良いが、既存の製造プロセスで他の絶縁膜を成膜する工程を有する場合にはその都度デポジションを行っても良く、本実施例ではゲート窒化膜を成膜する工程を有するためにゲート窒化膜32をデポジションし、パターニングを行い、エッチング処理を行った(図2(b))。

【0026】次いで、AP-CVD(常圧化学的気相成長法)等により、例えば燐シリケートガラスの1PSG33を形成する。そして、上層部導体膜と絶縁膜及び下層部導体の構造を得るための凹孔25をフォトリソグラフィ技術を用いて複数開口する。この開口は図のように複数設けてもよく、開口幅も均一ではなく様々な開口幅を設けてもよい。このように開口部を複数設けることや開口幅を不均一にすることにより、製造プロセス中や液晶表示装置の取扱時に静電気が発生しても、絶縁耐圧の低いものから順次静電破壊現象が現出して電荷の移動が行われるため、回路素子へのダメージ低減効果が保たれる(同図(c))。

【0027】更に、上層部導体膜となる例えばA1層34を成膜して、フォトリソグラフィ技術を用いてパターニングを行い、引き続きマスクを用いてエッチング処理する。この場合、上層部導体膜は前記外部接続用パッド14と完全に導通がとれている必要がある(同図

(d))。

【0028】続いて、その上部に層間絶縁膜となる2P SG35を成膜して、フォトリソグラフィ技術を用いてパターンニングを行い、引き続きマスクを用いてエッチング処理する。このようにして液晶表示装置の製造プロセスを終了するが、上層部導体膜形成後の絶縁膜の成膜については前述のように既存の製造プロセスに準じて製造されるため、本発明の静電気破壊対策用として製造工程が追加されることはない(図2(e))。

【0029】実施例2

本実施例は前述の静電気破壊対策の第1の実施例に対して、液晶表示装置の入力部以外の場所に静電気破壊防止パターンを形成した例であり、これを図3を参照して説明する。

【0030】図3(a)において、本発明の液晶表示装置21は外部接続用パッド14から接続部Dを介して配線用の導体膜として表示エリア12上部まで延長されて静電気破壊防止パターンが形成された例である。このように静電気破壊防止パターンを外部接続用パッド14より所定の距離を置いて配置することにより、静電気が発生した場合における上層部導体膜と下層部導体膜の電位差が生じ易くなり、電荷の移動が容易に行われるという利点がある。また、同図(a)には外部接続用パッド14の接続部Eから表示エリア12下部側面に静電気破壊防止パターンを形成した例を示しているが、構造等は同様であるので説明は省略する。このように任意の場所に静電気破壊防止パターン設置する場合は、外部接続用パッド14より所定の距離を置いて配置することと、その面積や長さをできる限り大きく採ることが望ましい。

【0031】更に、図3(a)のY-Y'部の断面図を同図(b)に示して説明する。同図(b)において、フォトリソグラフィ技術により下層部導体膜20や下層部導体膜又はそれ以外の導体膜27を形成する。前記下層部導体膜20の上部に第1の絶縁膜22や、第3の絶縁膜23や、第2の絶縁膜24が形成される。前記第2の絶縁膜24をフォトリソグラフィ技術でパターンニングして複数の凹孔25を開口する。更に、その上部には層間絶縁膜26が形成されている。このようにして前記外部接続用パッド(上層部導体膜)14に静電気が発生した場合、簡易的に下層部導体膜又はそれ以外の導体膜27を介して、下層部導体膜20に電荷を移動させることにより、液晶表示装置の静電気破壊対策が行われる。なお、本実施例における製造プロセスの詳細は前述の第1の実施例と同一であるので説明を省略する。

【0032】本発明は前記実施例に限定されず、種々の実施形態を採ることができる。例えば前記実施例では静電気破壊防止パターンを葛折り形状とした場合について説明したが、本発明の静電気破壊防止パターンのパターンニング形状はこの形状に何ら拘束されるものではなく螺旋状や扇状や串歯状でも良く、配置場所についてもパターンニ

ング可能な任意の場所を選定して形成することが可能である。更に、様々な実施形態を実現できることは言うまでもない。

【0033】

【発明の効果】以上説明したように、本発明の半導体集積回路装置およびその製造方法の静電気破壊対策によれば、従来技術の静電気破壊対策のように専用の保護トランジスタや保護抵抗を新たに形成する必要がなく、例えば液晶表示装置においては表示エリア以外の言わば空きスペースを利用して形成できるため、半導体集積回路装置素材(半導体チップ)等の有効利用が図れる。また、本発明の静電気破壊対策は新たなプロセスを追加することなく既存の製造プロセスを用いて実現できるため、生産工数を削減することができる。

【0034】また、本発明の静電気破壊対策では静電気が発生した場合でも、この静電気を瞬時にアース端子等に退避させることができる。そして、静電気によるダメージが半導体集積回路装置内部に進入して、例えば上層部導体と下層部導体の交差部分における静電気破壊や回路素子破壊が起こることがない。このため、液晶表示装置を含む半導体集積回路装置の生産性の向上や信頼性の向上を図ることができる。更に、本発明の静電気破壊対策は上層部導体膜と下層部導体膜間の絶縁膜の種類や膜厚をコントロールすることにより、絶縁耐圧を所望の値に制御することができるため過大な静電気破壊対策を講じる必要がなく素材の有効利用が図れる。

【0035】特に、本発明の静電気破壊対策は液晶表示装置等の電荷の蓄積し易いガラス基板上に薄膜トランジスタ等を形成する製造方法において有効である。つまり、本発明の静電気破壊対策では進入した静電気を瞬時に下層部導体膜に退避させるため液晶表示装置を構成するTFTの特性劣化や静電気破壊を防止することができる。このため、液晶表示装置の工程不良率を低減することができ、製品の低コスト化が可能となる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の第1の実施例を示す説明図であり、(a)は液晶表示装置の要部を示す上面図であり、(b)はガードリング部の外部接続用パッド近傍の拡大図であり、(c)はX-X'部の断面図である。

【図2】 本発明の液晶表示装置の第1の実施例を示す工程断面図である。

【図3】 本発明の液晶表示装置の第2の実施例を示す説明図であり、(a)は液晶表示装置の要部を示す上面図であり、(b)はY-Y'部の断面図である。

【図4】 従来技術の半導体集積回路装置における入力部の等価回路を示す図である。

【図5】 従来技術の半導体集積回路装置における静電気破壊の状態を説明するための上面図である。

【図6】 従来技術の液晶表示装置の要部を示す上面図

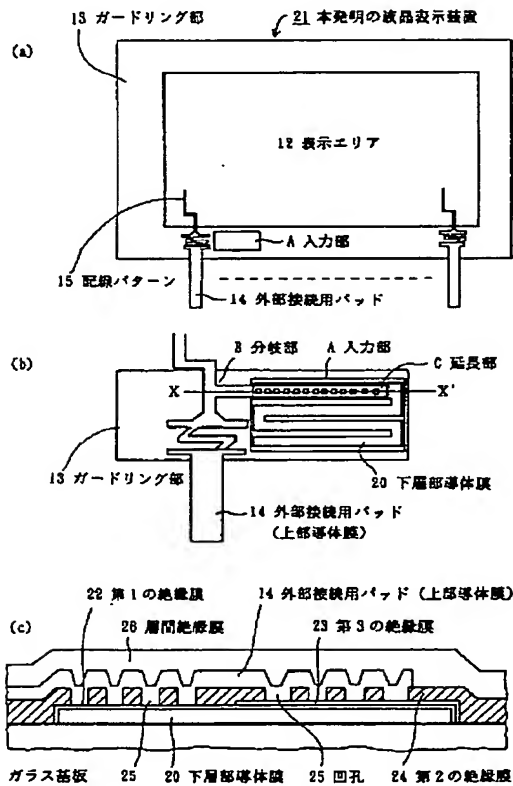
である。

【符号の説明】

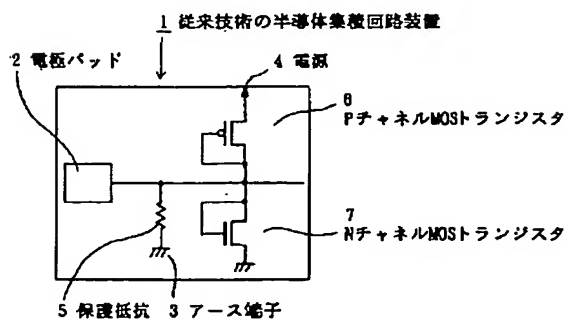
- 20 下層部導体膜
21 本発明の液晶表示装置
22 第1の絶縁膜
23 第3の絶縁膜
24 第2の絶縁膜
25 凹孔
26 層間絶縁膜
27 下層部導体膜又はそれ以外の導体膜

- 30 Poly-Si
31 ゲート酸化膜
32 ゲート窒化膜
33 1PSG
34 Al層(上層部導体膜)
35 2PSG
A 入力部
B 分岐部
C 延長部
D、E 接続部

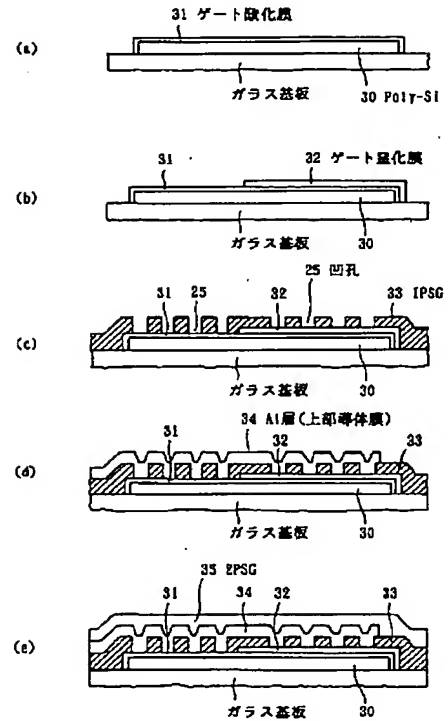
【図1】



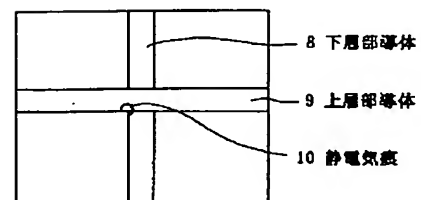
【図4】



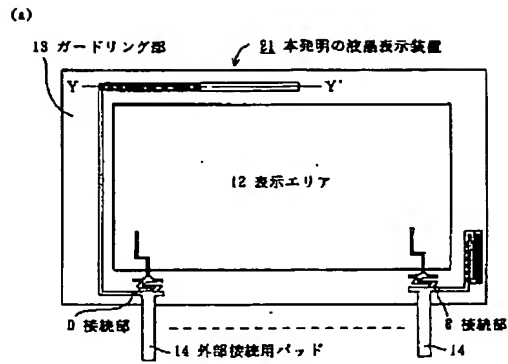
【図2】



【図5】



【図 3】



【図 6】

